

## ⑫ 公開特許公報(A) 平2-87544

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月28日

H 01 L 21/66

Y

7376-5F

F

7376-5F

T

7514-5F

G

7807-2G

// G 01 R 27/04  
31/26

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-238744

⑰ 出 願 昭63(1988)9月26日

⑱ 発 明 者 棟 方 純 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 〔従来の技術〕

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

1. 半導体ウエハの一面に複数の半導体チップに対応する半導体回路を形成するとともに、上記ウエハ表面の一部に試験用ダミー配線回路を形成し、上記ダミー配線に対しプローブを用いて電流を印加し、その熔断電流値により上記半導体回路における配線の品質、信頼性評価を行うことを特徴とする半導体装置の製造方法。

2. 上記試験用ダミー配線は絶縁膜及び金属膜による段差を設けてその上に金属膜配線を形成したものである請求項1に記載の半導体装置の製造方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は半導体装置の製造方法、特に製造段階における半導体回路の配線の品質・信頼性評価技術に関する。

半導体集積回路(IC)の製造方法における半導体チップ内部の故障解析に関する技術については、日経マイクロデバイス社昭和61年1月1日発行の「日経マイクロデバイス」第7号、p109～p110に、論理回路などのPN接合部にレーザを照射する際に誘起される光電流を検出することによって、内部の論理状態を解析するレーザ・プローブ技術が記載されている。上記技術によれば、レーザ・プローブを使用して被検査物の所定の照射領域の間の移動時には、レーザの出力を減衰または遮断するようにして、レーザ、ビームの走査経路に位置される回路がレーザの照射によって誤動作することを防止し、論理解析の精度を向上させている。

このレーザ・プローブ技術を実施するには高価な装置を必要とし、必ずしも一般的ではない。また、今後おこりうる故障を事前に検出することは困難である。

半導体回路のA/B(アルミニウム)配線につい

ては、多くの場合、下地段差におけるA<sub>θ</sub>配線の断線や薄膜化に関するカバレッジ評価が問題となっている。

従来のA<sub>θ</sub>配線のカバレッジ評価法としては、走査型電子顕微鏡 (SEM: Scanning Electron Microscope) による試料断面観察や、長時間通電や熱的ストレスによる劣化をしらべる寿命テストが行われている。

〔発明が解決しようとする課題〕

しかしながら、上記したSEMによる観察は試料作成に時間がかかり、また、寿命テストには長時間かかるという問題があり、いずれも製造工程内での評価法としては適切ではない。また、いずれも破壊試験である。

本発明は上述した従来技術の欠点を解決し、短時間で評価できる半導体装置の製造技術の提供を目的とする。

〔課題を解決するための手段〕

上記目的を達成するために、本発明の半導体装置の製造方法においては、半導体ウェハの段階で

るTEG (試験用ダミー配線回路) の例であって、すなわち、ウェハの一部にA<sub>θ</sub>配線のコンタクトTEGを設けた場合を示し、第1図は平面図、第2図は縦断面図である。

1はSi基板、2はベースなどの不純物拡散領域、3は酸化膜 (SiO<sub>2</sub> 膜)、4はコンタクトホール、5はA<sub>θ</sub>配線であって第1図に示すようなパターンを有する。このTEGにおけるコンタクトホール4の寸法 (径、深さ) A<sub>θ</sub>配線の寸法 (幅、厚さ) はウェハ上に形成された半導体回路におけるコンタクトホールの寸法、A<sub>θ</sub>配線の寸法と共通のものとする。

A<sub>θ</sub>配線形成後、第2図に示すようにプローバ (矢印A、Bで示す) を配線の両端子5a、5bに接触させてコンタクトホールTEGに電流を印加し、その際の溶断電流を測定する。

溶断電流がA<sub>θ</sub>配線幅、厚さで決まる値よりも著しく低い場合、A<sub>θ</sub>カバレッジの悪い部分で溶断しているのが確認できる。

(2) 第3図乃至第4図は2層のA<sub>θ</sub>配線を対象と

するウェハの一部に試験用ダミー配線回路 (TEG) を形成し、上記ダミー配線に対しプローバを用いて電流を印加し、その溶断電流値により、上記半導体回路における配線の評価を行うものである。

〔作用〕

上記のように構成された半導体装置の製造方法によれば、A<sub>θ</sub>カバレッジの悪い配線を有するウェハでは、溶断電流が低い値を示し、この電流値を管理することでA<sub>θ</sub>配線の品質の良否を簡単に判定することができる。

しかもこの方法によればプローブテストと同時に評価ができ、寿命テストのような長時間を必要としない。

更に、試験用ダミー配線回路を用いるので、SEMによる断面観察や寿命テストのように、半導体ウェハ又は半導体チップを破壊する必要がない。

〔実施例〕

実施例について図面を参照して説明する。

(1) 第1図乃至第2図は単層A<sub>θ</sub>配線を対象とす

るTEGの例であって、すなわち、第1層のA<sub>θ</sub>配線6の上に層間絶縁膜7のスルーホール9を介して第2層のA<sub>θ</sub>配線8を接続してA<sub>θ</sub>配線スルーホールTEGを設けた場合を示し、第3図は平面図、第4図は縦断面図である。

6は第1層A<sub>θ</sub>配線、7は層間絶縁膜、8は第2層A<sub>θ</sub>配線、9はスルーホールである。

A<sub>θ</sub>配線形成後、第4図に示すようにプローバ (矢印A、C) を配線の両端子 (8a、6c) に接触させてスルーホールTEGにおける溶断電流を測定する。

また、TEGのA<sub>θ</sub>配線の両端子8aと6cにプローバを接触させることで第1層A<sub>θ</sub>配線8と第2層A<sub>θ</sub>配線6との導通状態の良不良を検査することができる。

(3) 第5図はウェハ上における凸部 (段部) 10によって生じるA<sub>θ</sub>配線 (TEG) のカバレッジ状態を示すもので、(a)はカバレッジ良好、(b)は不良の場合を示す。

第6図はウェハ上における凹部 (コンタクトホ

ール、スルーホール)の段部11によって生じるA<sub>θ</sub>配線(TEG)のカパレツジ状態を示すもので、(a)はカパレツジ良好、(b)は不良の場合を示す。

いずれの場合も段部の上のA<sub>θ</sub>配線を対象としており、TEGのパターンを自由に選ぶことができる。

なお、TEGはウエハにおけるチップ内の任意の個所、チップ境界領域(スクライプ領域)の任意の個所に設けることができる。

#### 〔発明の効果〕

本発明は以上に説明したように構成されているので下配の効果奏する。

ウエハ上に形成したTEGにより、A<sub>θ</sub>カパレツジの良否を短時間で簡単に評価することができ、製造工程内での高信頼化を目的とした判定が可能となる。

本発明はA<sub>θ</sub>配線多層構造の半導体装置、スルーホールを有する多層配線基板に適用してもっとも効果が得られる。

#### 4. 図面の簡単な説明

第1図乃至第2図は1層A<sub>θ</sub>配線を対象とするTEGの実施例であって、第1図は平面図、第2図は第1図のA-A視断面図である。

第3図乃至第4図は2層のA<sub>θ</sub>配線を対象とするTEGの実施例であって、第3図は平面図、第4図は第3図のA-A視断面図である。

第5図(a)、(b)は凸部におけるA<sub>θ</sub>配線カパレツジの状態を示す断面図で、(a)はカパレツジ良の場合、(b)はカパレツジ不良の場合を示す。

第6図(a)、(b)は凹部におけるA<sub>θ</sub>配線のカパレツジ状態を示す断面図で、(a)はカパレツジ良、(b)はカパレツジ不良を示す。

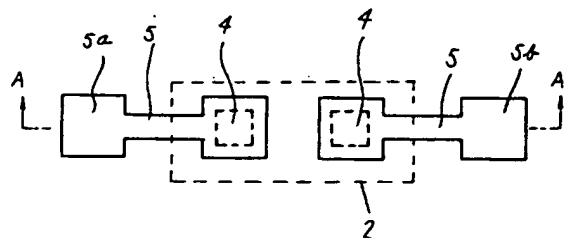
1…S i 基板、2…拡散領域、3…酸化膜、4…コンタクトホール、5…A<sub>θ</sub>配線、6…第1層A<sub>θ</sub>配線、7…層間絶縁膜、8…第2層A<sub>θ</sub>配線、9…スルーホール、10…A<sub>θ</sub>配線、11…絶縁膜。

代理人 弁理士

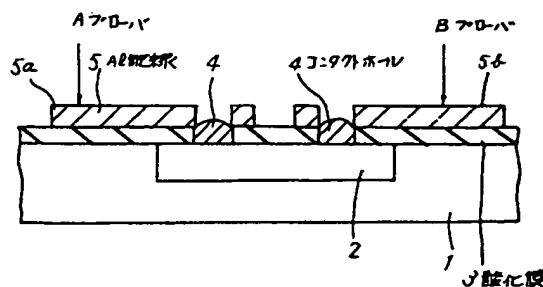
小 川 勝 男



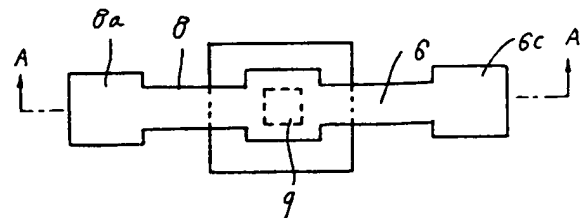
第 1 図



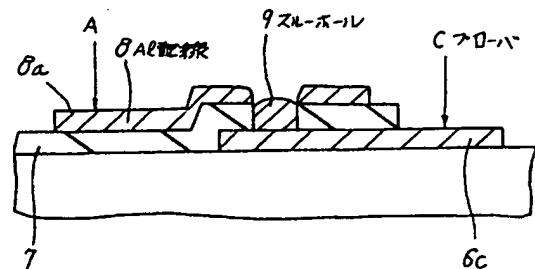
第 2 図



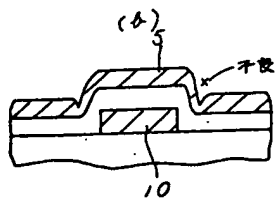
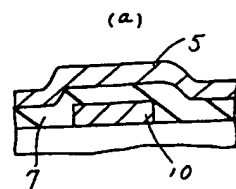
第 3 図



第 4 図



第 5 圖



第 6 圖

